

Klausur Technische Informatik

Herbst 2006

Teil TI-II – mit Unterlagen-

Name	
Vorname	
Matrikelnummer	

Bewertung

	Max. Punkte	Erreichte Punkte
Aufgabe II- Fragen	8	
Aufgabe II-1	6	
Aufgabe II-2	6	
Aufgabe II-3	10	
Summe -Teil II-	30	

Mit dieser Nummer können Sie Ihre Note im Internet abfragen	
--	--

Aufgabe II-1 CMOS-Schaltung

- a) Erstellen Sie die vollständige Funktionstabelle in positiver Logik für die Funktion

$$F = (\bar{A} \wedge B) \vee (\bar{C} \wedge \bar{D}) \vee (\bar{B} \wedge D).$$

2

- b) Konstruieren Sie ein einstufiges CMOS-Gatter, das die in II-1a) gegebene Funktion F realisiert. Das Negieren von Signalen zählt nicht als eigenständige Stufe. Zeichnen Sie die Schaltung vollständig auf Transistorbasis mit der in der Vorlesung eingeführten Darstellung der n- und p-Kanal Transistoren.

4

Aufgabe II-2 Operationsverstärker

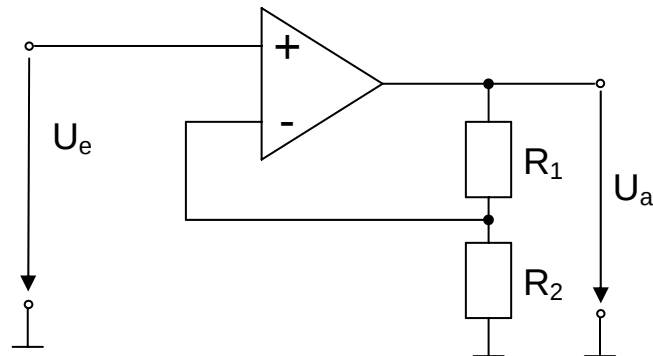


Bild 2-1: Nichtinvertierender Verstärker

- a) In der in Bild 2-1 gezeigten Schaltung eines nichtinvertierenden Verstärkers ist der eingesetzte Operationsverstärkers ideal. Welchen Wert muss R_2 annehmen, wenn $R_1 = 50\text{k}\Omega$ ist und eine Schaltungsverstärkung von $A = 1000$ erzielt werden soll?
- b) In der in Bild 2-2 gezeigten Schaltung sei der eingesetzte Operationsverstärkers ideal. Es gelte: $R_1 = 200\text{k}\Omega$, $R_2 = 20\text{k}\Omega$, $R_3 = R_4 = 10\text{k}\Omega$. Bestimmen Sie die Schaltungsverstärkung A.

2

4

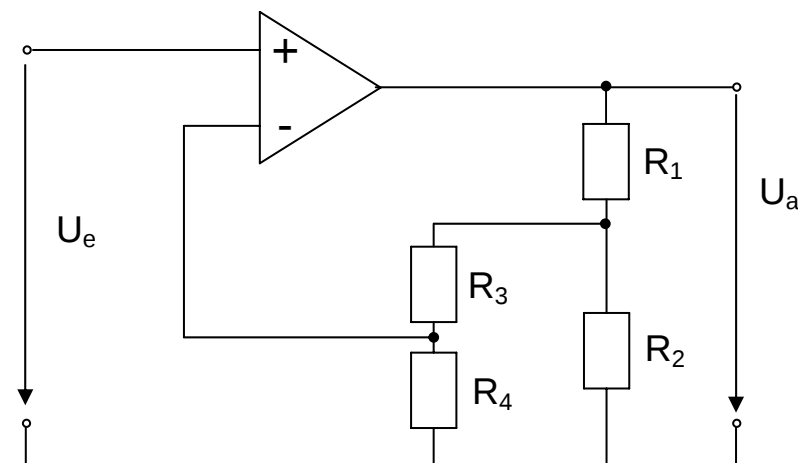


Bild 2-2: Nichtinvertierender Verstärker

Aufgabe II-3 Zeitverhalten

Bild 3-1 zeigt eine Schaltung mit positiv flankengesteuerten D-Flip-Flops. Die Kenndaten der Bausteine können der nachfolgenden Tabelle 3-1 entnommen werden.

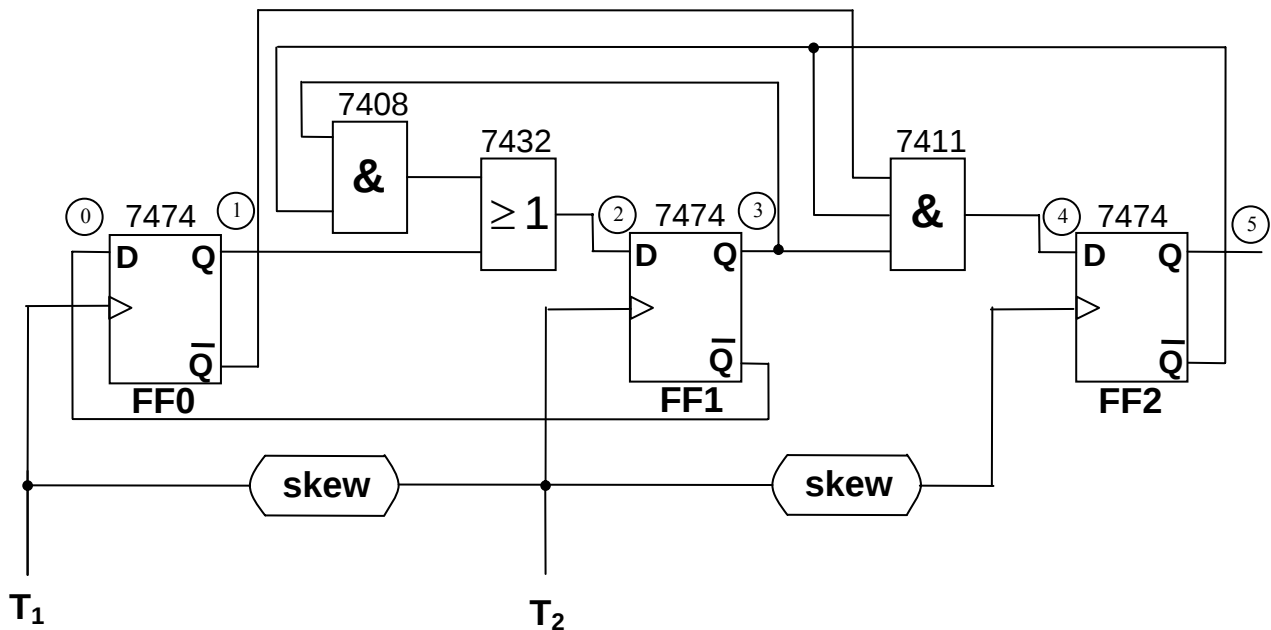


Bild 3-1: Schaltung mit positiv taktflankengesteuerten D-Flip-Flops

	7408	7411	7432	7474
t_{pdLH}	1,2 – 3,0 ns	1,0 – 2,9 ns	1,5 - 3,5 ns	4,8 – 6,0 ns
t_{pdHL}	0,8 – 2,6 ns	0,9 – 2,8 ns	1,6 – 3,9 ns	4,0 – 5,4 ns
t_{setup}				2 ns
t_{hold}				1 ns

Tabelle 3-1: Kenndaten der Bauteile

- Vervollständigen Sie die Signalverläufe im Bild 3-2. Nehmen Sie dabei eine einheitliche Verzögerungszeit der Gatter an ($t_{pd} \approx 0,2 t_{cycle}$). Der Takt-Skew sei zu vernachlässigen.
- Bestimmen Sie den maximal zulässigen Skew bei einer Takteinspeisung im Punkt T_1 . Die Kenndaten der Bausteine entsprechen der Tabelle 3-1.

4

2

- c) Nehmen Sie einen minimalen $t_{\text{Skew,min}}$ von 1ns und einen maximalen $t_{\text{Skew,max}}$ von 2,5ns an, die Kenndaten der Bausteine sind in Tabelle 3-1 aufgeführt. Überprüfen Sie die Funktionsfähigkeit der Schaltung bei Einspeisung des Taktes in den Punkt T_2 der Schaltung. Bestimmen Sie die maximale Taktfrequenz f_{max} , mit der die Schaltung bei einer Takteinspeisung in T_2 betrieben werden kann.

4

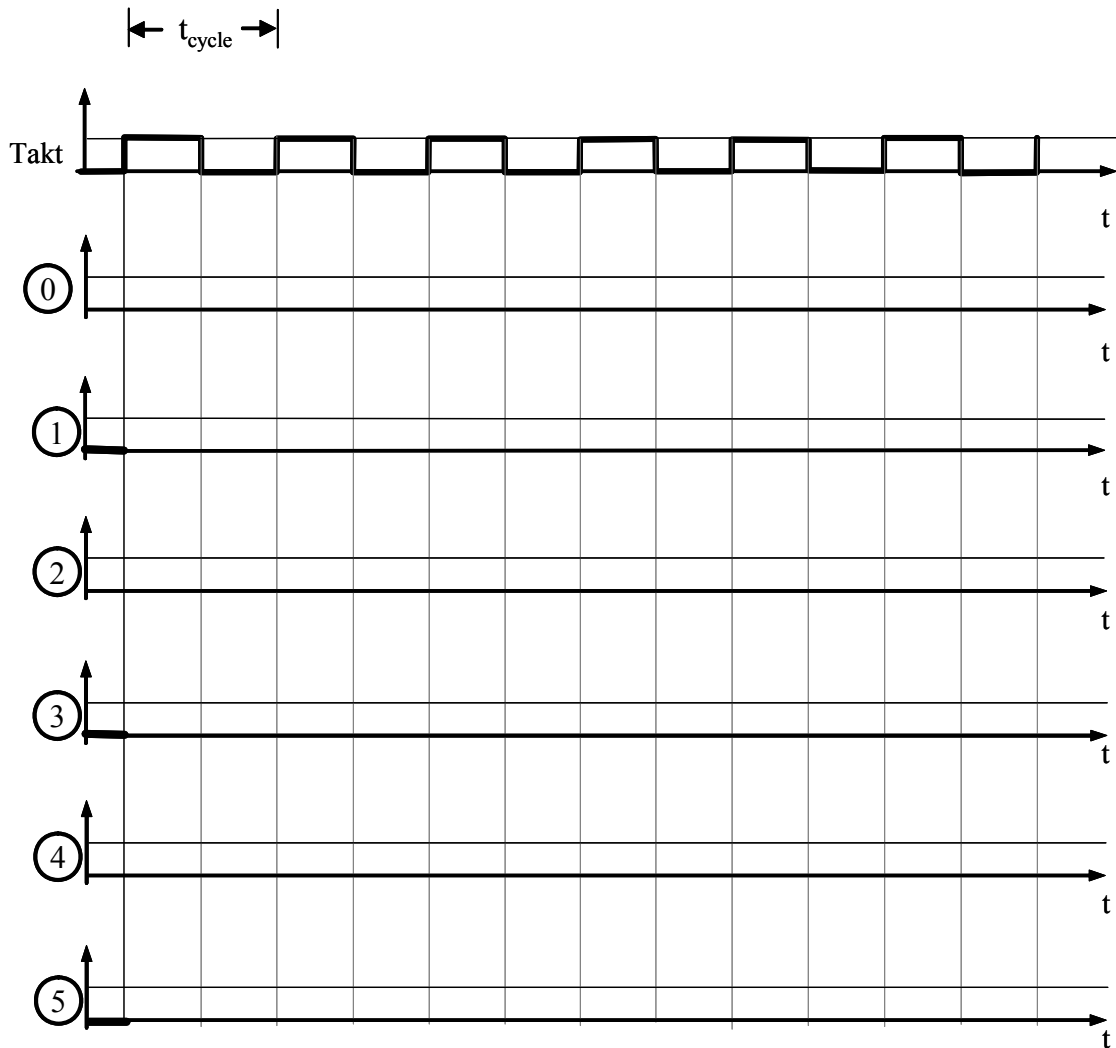
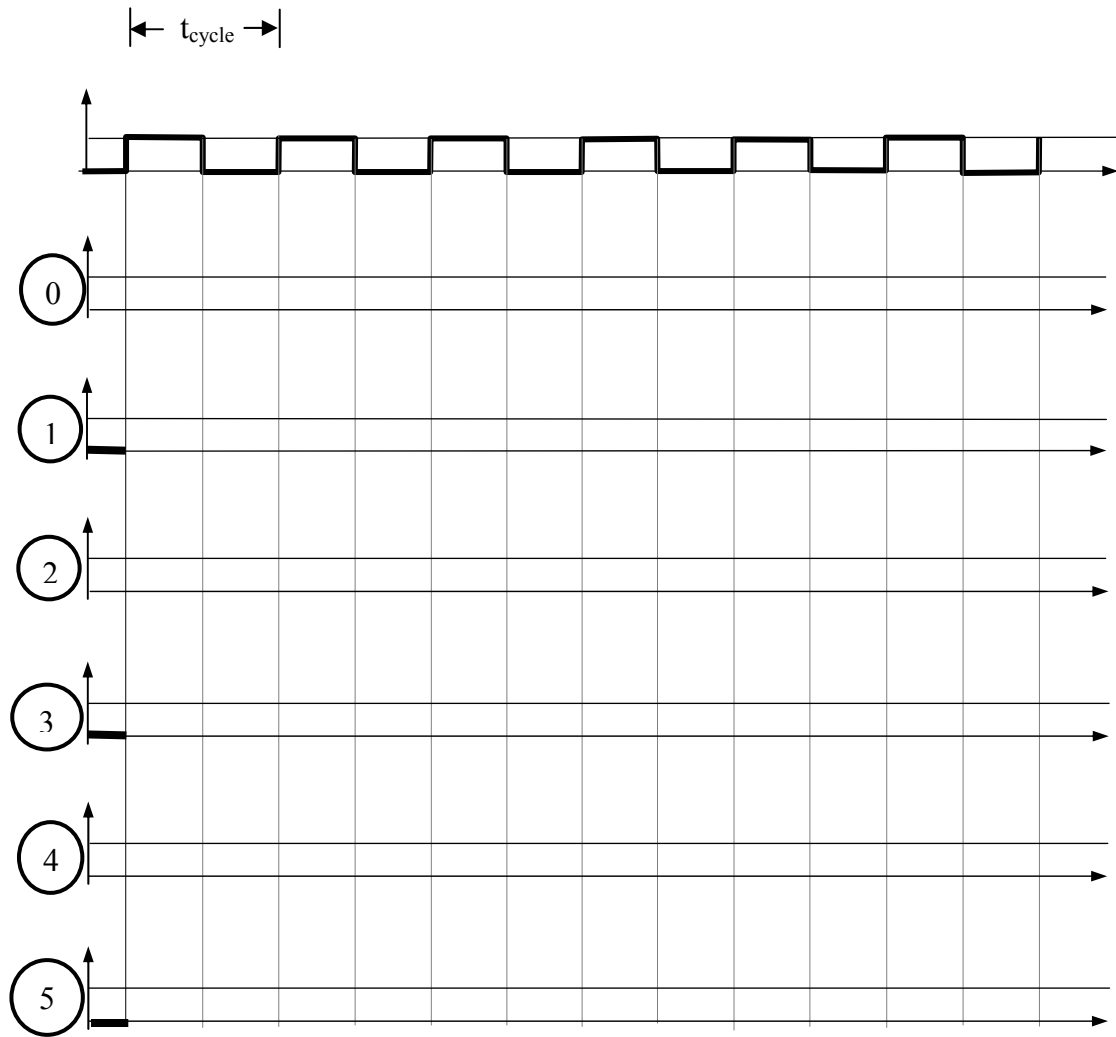


Bild 3-2: Signalverläufe



Ersatzblatt zu Bild 3-2: Signalverläufe