

Earle-Latch

Gegeben ist in Abb. 1.1 das in der Vorlesung eingeführt Earle-Latch (Gatter etwas anders strukturiert)

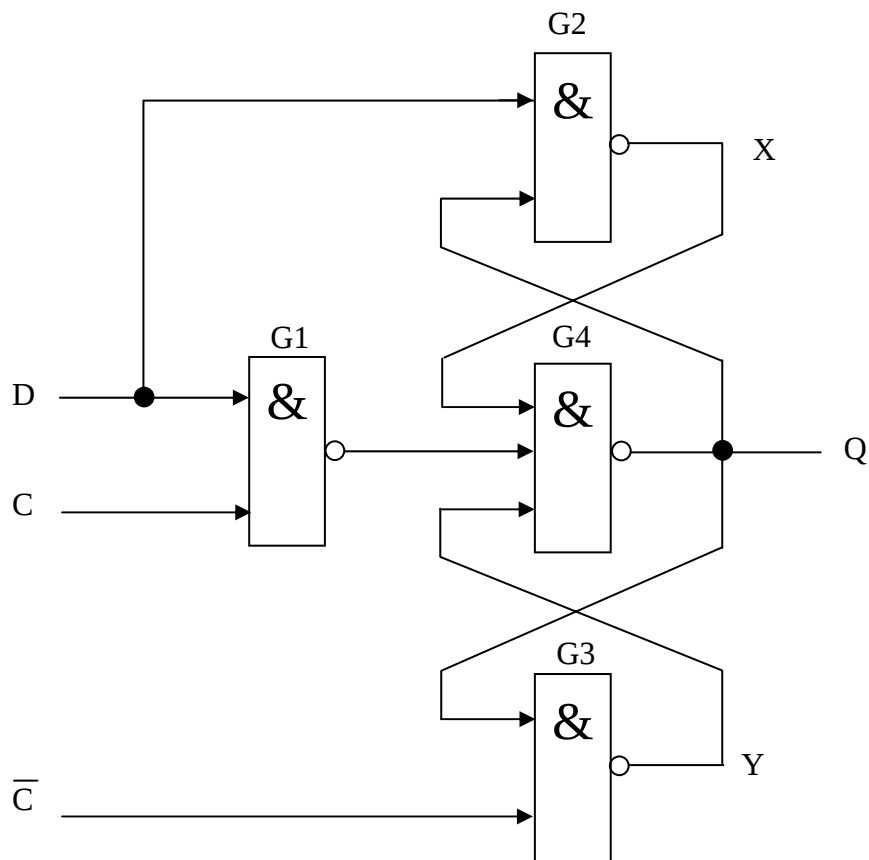


Abbildung 1.1: Earle-Latch

- Ergänzen Sie das Timing-Diagramm aus Abb. 1.2, verwenden Sie für alle Gatter die typische Verzögerungszeit $t_{pd\text{typ}} = 3\text{ns}$.
- Für alle Gatter gilt $t_{pd\text{min}} = 2\text{ns}$ und $t_{pd\text{max}} = 4\text{ns}$. Bestimmen Sie die Setup-Zeit t_{setup} und die Verzögerungszeiten $t_{pdD\text{min}}$, $t_{pdD\text{max}}$ des Earle-Latch. Berücksichtigen Sie bei den Berechnungen, dass zwischen den Eingängen C und $\overline{C}$ Zeitverzögerungen von $t_{\text{skewmin}} = 1\text{ns}$ bis $t_{\text{skewmax}} = 3\text{ns}$ auftreten können.

- t_{setup} : Zeit vor einer fallenden Flanke am Eingang C , zu der der Eingang D seinen korrekten Pegel angenommen haben muß.
- t_{pdDmin} : Zeitverzögerung von einer steigenden Flanke an C bis zur frühest möglichen Änderung am Ausgang Q .
- t_{pdDmax} : Zeitverzögerung ab einem Pegelwechsel am Eingang D (bei $C=1$) bis zur Übernahme der Änderung am Ausgang Q .
- c) Unabhängig von den bisherigen Ergebnissen gilt für die folgenden Aufgabenteile $t_{setup} = 5ns$, $t_{hold} = 0ns$, $t_{pdDmin} = 2ns$, und $t_{pdDmax} = 6ns$. Der Eingang $\bar{C}$ kann unberücksichtigt bleiben, da er intern generiert wird. Das Earle-Latch soll in einem Schaltwerk eingesetzt werden, bei dem der Taktversatz zwischen den einzelnen Latches im Intervall $1ns...2ns$ liegt.
- 1) Die Dauer für den High-Pegel des Taktsignals ist durch zwei Grenzwerte festgelegt ($t_{CHmin} \leq t_{CH} \leq t_{CHmax}$). Die Länge dieses Zeitintervalls soll mindestens $1ns$ betragen. Wie groß muß die Verzögerungszeit zwischen zwei Latches mindestens sein?
 - 2) Die Latch-Logik soll mit einer Taktfrequenz von $f = 50MHz$ betrieben werden. Wie groß darf die Verzögerung (kritischer Pfad) aller Schaltnetze maximal sein?

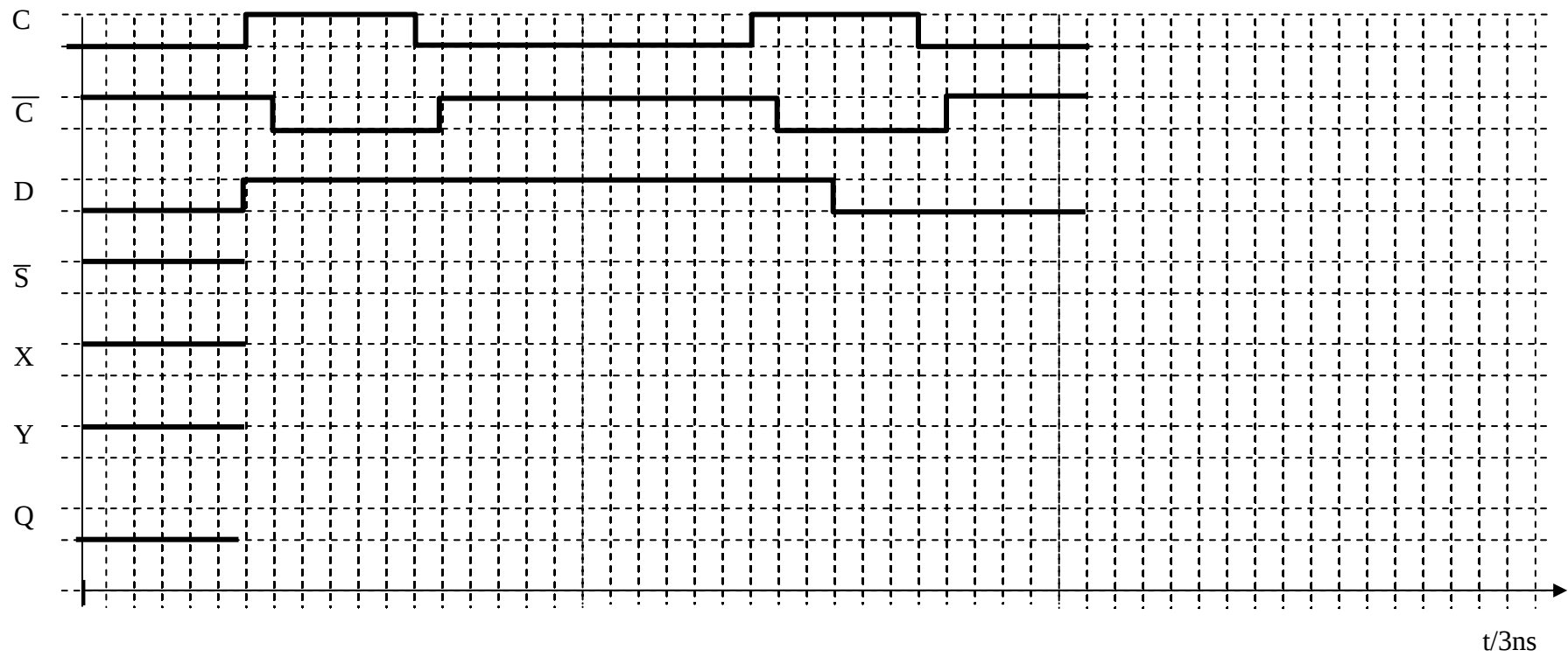
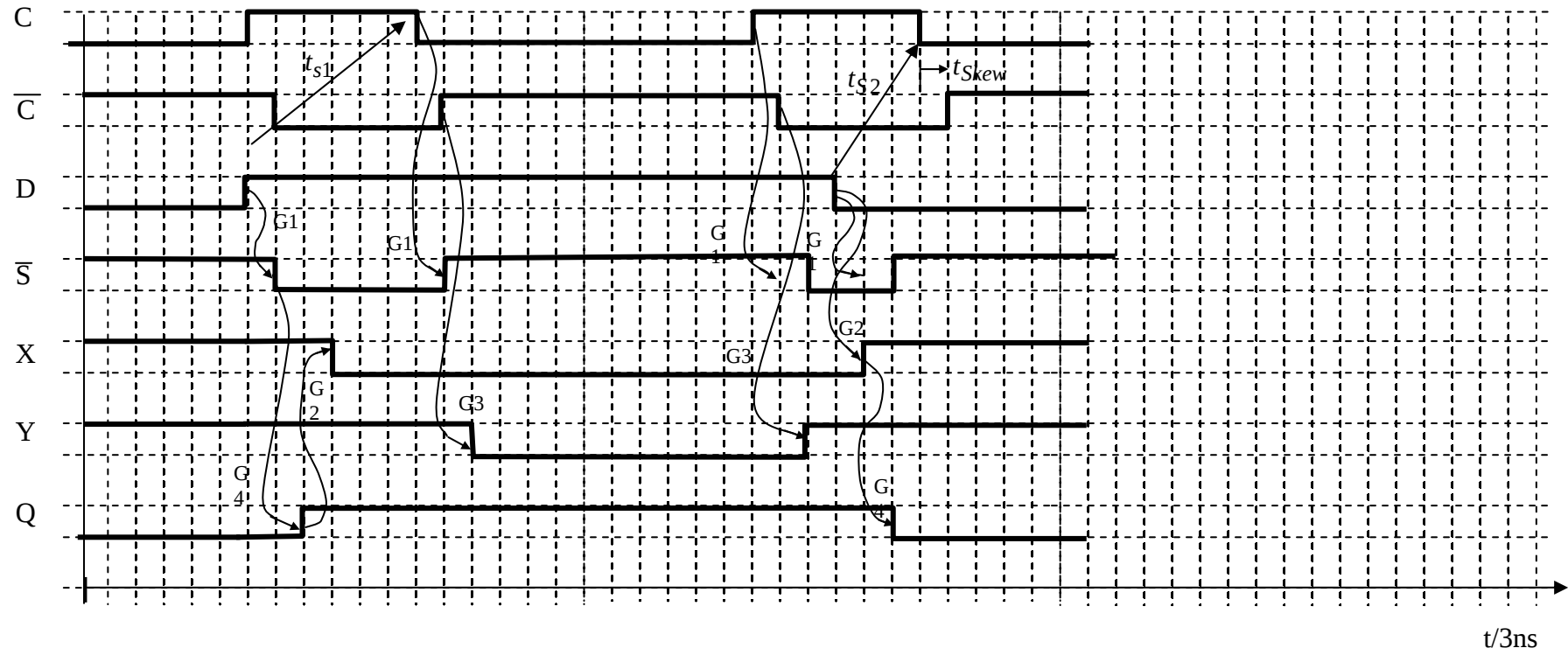


Abbildung 2.2: Timing-Diagram zum Earle-Latch

Lösung

a)



Lösung zu Earle-Latch

a) siehe Timing-Diagramm

b) Für $D = \uparrow$ gilt:

$$t_{S1} > t_{pdG1} + t_{pdG4} + t_{pdG2} - t_{pdG1}$$

Maximum der rechten Seite gesucht

$$t_{S1} > 3 \cdot t_{pd \max} - t_{pd \min} = 10ns$$

Für $D = \downarrow$ gilt:

$$t_{S2} > t_{pdG2} + t_{pdG4} - t_{skew}$$

Maximum der rechten Seite gesucht

$$t_{S2} > 2 \cdot t_{pd \max} - t_{skew \min} = 7ns$$

$$t_{Setup} = \max\{t_{S1}, t_{S2}\} = 10ns$$

Egal ob C oder D schaltet, der Ausgang Q ist immer nach zwei Gatterlaufzeiten eingeschwungen, deshalb:

$$t_{pdD \min} = 2 \cdot t_{pd \min} = 4ns; \quad t_{pdD \max} = 2 \cdot t_{pd \max} = 8ns$$

c) $t_{CH \min} = t_{pdD \max}; \quad t_{pdCH \max} = t_{CH \min} + 1ns$

$$\Rightarrow 6ns \leq t_{CH} \leq 7ns = t_{CH \max}$$

$$t_{CH \max} = t_{pdD \min} + t_{pdS \min} - t_{skew \max} - t_{hold}^0$$

$$t_{pdS \min} = t_{CH \max} + t_{skew \max} - t_{pdD \min} = 7ns + 2ns - 2ns = 7ns$$

d) $t_{CYC} = \frac{1}{f} \geq t_{pdD \max} + t_{pdS \max} - t_{skew \min}$

$$t_{pdS \max} \leq \frac{1}{f} + t_{skew \min} - t_{pdD \max} = 20ns + 1ns - 6ns = 15ns$$

$$t_{pdS \max} \leq 20ns + 1ns - 6ns = 15ns$$