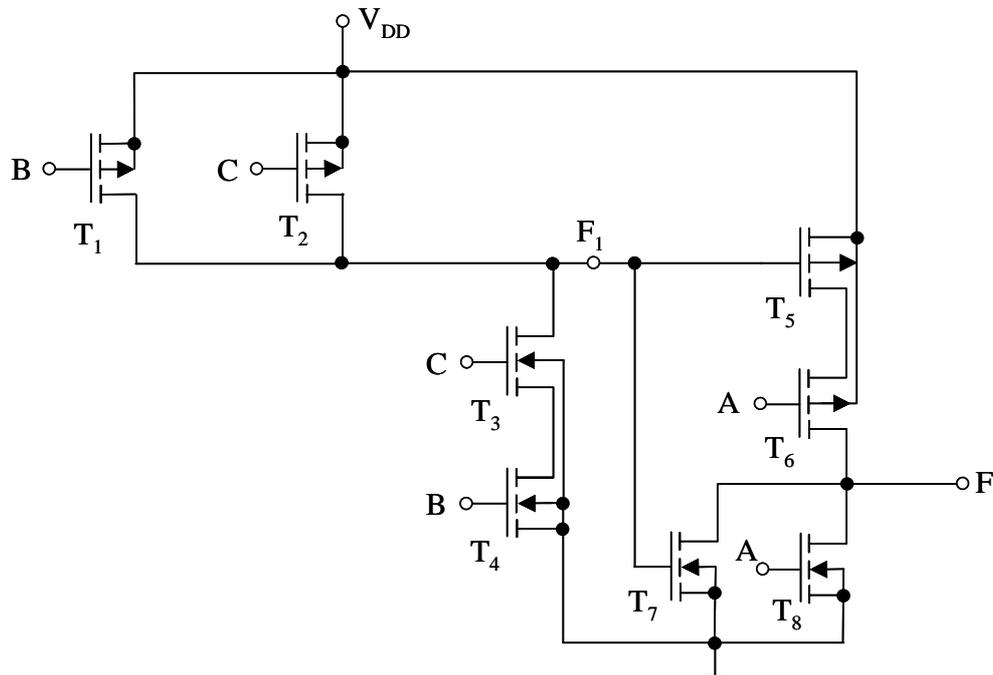


Klausurvorbereitung 2004, Aufgabe CMOS-Schaltung

Abbildung 1-1: CMOS-Schaltung

- a) Erstellen Sie zu der in Abbildung 1-1 dargestellten CMOS-Schaltung mit den Eingängen A,B,C die vollständige Wahrheitstabelle in positiver Logik. Geben Sie den entsprechenden algebraischen Ausdruck für die Schaltung an.
- b) Entwickeln Sie jetzt eine einstufige CMOS-Schaltung, die den algebraischen Ausdruck realisiert (Inverter sollen nicht als Stufe im Sinne der Aufgabenstellung zählen). Zeichnen Sie die zugehörige Schaltung vollständig auf Transistorebene mit der in der Vorlesung gebräuchlichen Darstellung der n-Kanal und p-Kanal Transistoren.

Lösung CMOS-Schaltung

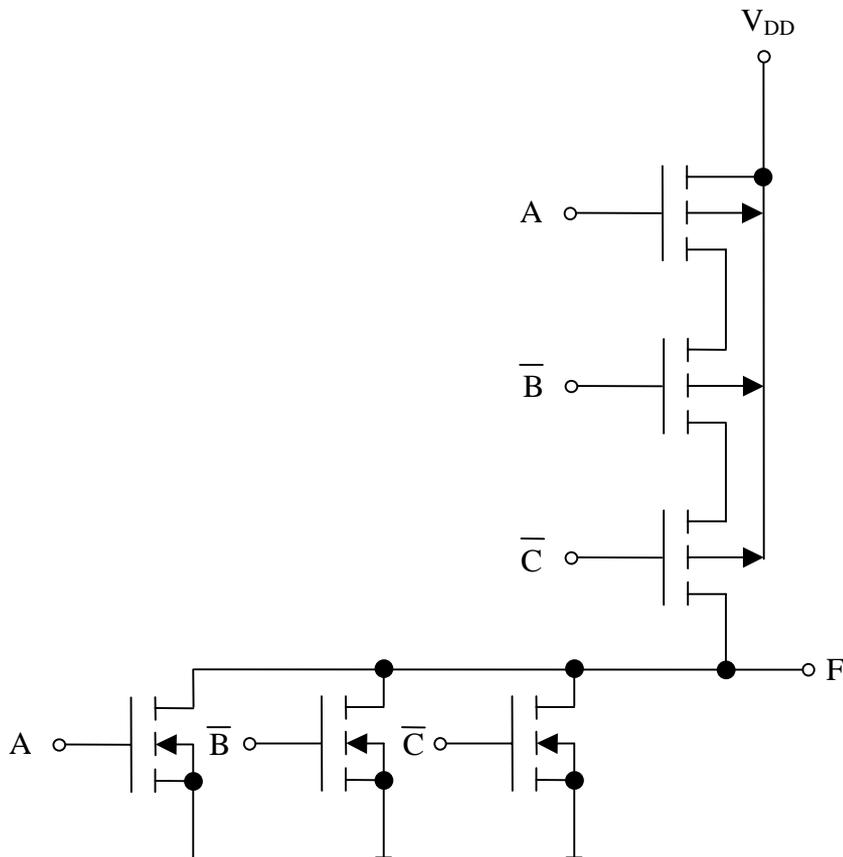
a)

A	B	C	T1	T2	$T1 \vee T2$	T3	T4	$T3 \wedge T4$	F1	T5	T6	$T5 \wedge T6$	T7	T8	$T7 \vee T8$	F
0	0	0	l	l	l(1)	s	s	-	1	s	l	-	l	s	l(0)	0
0	0	1	l	s	l(1)	l	s	-	1	s	l	-	l	s	l(0)	0
0	1	0	s	l	l(1)	s	l	-	1	s	l	-	l	s	l(0)	0
0	1	1	s	s	-	l	l	l(0)	0	l	l	l(1)	s	s	-	1
1	0	0	l	l	l(1)	s	s	-	1	s	s	-	l	l	l(0)	0
1	0	1	l	s	l(1)	l	s	-	1	s	s	-	l	l	l(0)	0
1	1	0	s	l	l(1)	s	l	-	1	s	s	-	l	l	l(0)	0
1	1	1	s	s	-	l	l	l(0)	0	l	s	-	s	l	l(0)	0

0, 1 sind logische Zustände; l: leitend, s: sperrt

$$F = \bar{A} \wedge B \wedge C$$

b) Zu realisieren ist die Funktion $F = \overline{\overline{A}} \wedge B \wedge C$. Zur Bestimmung der Verknüpfungsvorschrift der n – Kanal - Transistoren und der p –Kanal - Transistoren kann direkt die in der Vorlesung angegebene Konstruktionsregel für CMOS-Funktionen angewandt werden. Im N-Block ist damit $\overline{\overline{A} \wedge B \wedge C} = A \vee \overline{B} \vee \overline{C}$, also eine Parallelschaltung der n – Kanal – Transistoren zu realisieren. Im P-Block ergibt sich (negieren der Eingangsvariablen, die Verknüpfungsvorschrift von F wird übernommen) $\overline{\overline{A} \wedge B \wedge C} = A \wedge \overline{B} \wedge \overline{C}$, eine Reihenschaltung der p – Kanal –Transistoren. Die Schaltung auf Transistorbasis liefert das folgende Schaltbild:



In diesem Schaltbild sind die beiden Inverter zum Erzeugen der Signale \overline{B} und \overline{C} **nicht** dargestellt. Zur Überprüfung der Schaltung wird auf der folgenden Seite eine Untersuchung mittels einer Wahrheitstabelle vorgenommen.

A	B	C	n-Block $A \vee \bar{B} \vee \bar{C}$	p-Block $A \wedge \bar{B} \wedge \bar{C}$	F
0	0	0	l(0)	-	0
0	0	1	l(0)	-	0
0	1	0	l(0)	-	0
0	1	1	-	l(1)	1
1	0	0	l(0)	-	0
1	0	1	l(0)	-	0
1	1	0	l(0)	-	0
1	1	1	l(0)	-	0

Beim NOR-Gatterbeispiel der Vorlesung (Folie 117) wird $f_p = \overline{E_1 \vee E_2} = \overline{E_1} \wedge \overline{E_2}$ angegeben. Dies scheint im Gegensatz zur Definition von f_p zu stehen, zumal in dem Schaltbild des NOR-Gatters auf derselben Folie die p-Kanal-Transistoren der Reihenschaltung mit E_1 und E_2 beschaltet werden (damit ergibt sich wie erwartet für den p-Block $E_1 \wedge E_2$). Als Grund für die Angabe von $f_p = \overline{E_1} \wedge \overline{E_2}$ gilt die Darstellung in der US-Literatur, die am Eingang eines p-Transistors noch einen Inverter vorsieht. Das folgende Bild zeigt die entsprechende Darstellung des NOR-Gatters in der US-Literatur.

